

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274378  
 (43)Date of publication of application : 05.10.2001

H01L 29/78

(51)Int.Cl.

(21)Application number : 2000-088915  
 (22)Date of filing : 28.03.2000

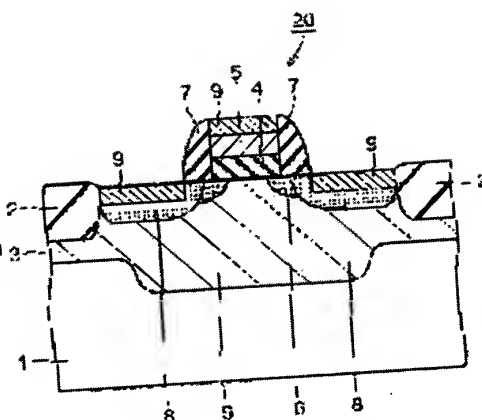
(71)Applicant : MITSUBISHI ELECTRIC CORP  
 (72)Inventor : ABE YUJI  
 TOKUDA YASUKI  
 OISHI TOSHIYUKI  
 SHIOZAWA KATSUOMI  
 SUGIHARA KOHEI

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field effect transistor of a short gate length where a leakage current is suppressed for raised gate driving capacity.

SOLUTION: On an MOSFET 20 formed on a silicon substrate 1, a gate insulating film 4 of a material other than a silicon oxide film and a gate electrode 5 positioned over the gate insulating film are provided. The material of gate insulating film has a permitting larger than the silicon oxide, while the thickness of gate insulating film is at a specified value or less so that a short channel effect equal to or less than that of an MOSFET which uses a gate insulating film of 1.5-2.0 nm in thickness whose main material is a silicon oxide film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

Searching PAJ

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-274378  
(P2001-274378A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

テーマコード(参考)

3 0 1 G 5 F 0 4 0

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願2000-88915(P2000-88915)

(22) 出願日 平成12年3月28日 (2000.3.28)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 阿部 雄次

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 徳田 安紀

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

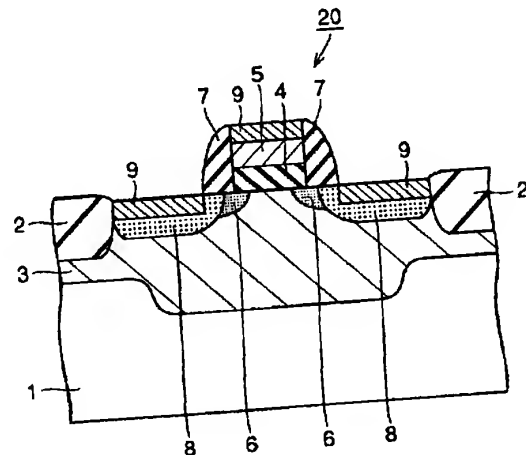
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 リーク電流を抑制し、ゲート駆動能力を高めた短ゲート長の電界効果トランジスタを提供する。

【解決手段】 シリコン基板1上に形成されたMOSFET 20において、シリコン酸化膜以外の材料のゲート絶縁膜4と、ゲート絶縁膜の上に位置するゲート電極5とを備え、ゲート絶縁膜の材料はシリコン酸化物よりも大きい比誘電率を有し、ゲート絶縁膜の膜厚は、シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜を用いたMOSFETにおける短チャネル効果と同等以下の短チャネル効果を有するように、所定値以下とされている。



(2)

1

【特許請求の範囲】

【請求項1】 シリコン基板上に形成されたMOS電界効果型トランジスタにおいて、

前記シリコン基板の上に位置する、シリコン酸化膜以外の材料を主材料とするゲート絶縁膜と、

前記ゲート絶縁膜の上に位置するゲート電極とを備え、前記ゲート絶縁膜を構成する材料はシリコン酸化物よりも大きい比誘電率を有し、

前記ゲート絶縁膜の膜厚は、シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜を用いたMOSFETにおける短チャネル効果と同等以下の短チャネル効果を有するように、所定値以下とされている、半導体装置。

【請求項2】 シリコン基板上に形成されたMOS電界効果型トランジスタにおいて、

前記シリコン基板の上に位置する、シリコン酸化膜以外の材料を主材料とするゲート絶縁膜と、

前記ゲート絶縁膜の上に位置するゲート電極とを備え、前記ゲート絶縁膜を構成する材料はシリコン酸化物よりも大きい比誘電率を有し、

前記ゲート絶縁膜の膜厚であって、正常にトランジスタ動作する下限のゲート長である限界ゲート長が、シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜を用いたMOSFETと同等以下となるように、そのゲート絶縁膜の膜厚範囲が設定されている、請求項1に記載の半導体装置。

【請求項3】 前記ゲート絶縁膜の膜厚範囲は、線形領域のしきい値電圧 $V_{lin,th}$ から飽和領域のしきい値電圧 $V_{th}$ を減じて得られるしきい値電圧差 $\Delta V_{th}$ が所定値となるゲート長である限界ゲート長が、シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜を用いたMOSFETと同等以下となるように設定されている、請求項1または2に記載の半導体装置。

【請求項4】 前記限界ゲート長は、前記しきい値電圧差 $\Delta V_{th}$ が50mVとなるゲート長である、請求項3に記載の半導体装置。

【請求項5】 前記ゲート絶縁膜を構成する主材料がチタン酸バリウム( $BaSrTiO_3$ )であり、その膜厚が31nm以下である、請求項1~4のいずれかに記載の半導体装置。

【請求項6】 前記ゲート絶縁膜を構成する主材料が酸化チタン( $TiO_2$ )であり、その膜厚が19nm以下である、請求項1~4のいずれかに記載の半導体装置。

【請求項7】 前記ゲート絶縁膜を構成する主材料が酸化タンタル( $Ta_2O_5$ )、酸化ジルコニウム( $ZrO_2$ )および酸化ハフニウム( $HfO_2$ )のうちのいずれかであり、その膜厚が11nm以下である、請求項1~4のいずれかに記載の半導体装置。

【請求項8】 前記ゲート絶縁膜を構成する主材料が、窒化シリコン( $Si_3N_4$ )およびアルミナ( $Al_2O_3$ )

のうちのいずれかであり、その膜厚が4nm以下である、請求項1~4のいずれかに記載の半導体装置。

【請求項9】 前記ゲート絶縁膜と前記シリコン基板との間において、両者に接する厚さ0.5nm以下のシリコン酸化膜をさらに備える、請求項1~8のいずれかに記載の半導体装置。

【請求項10】 前記ゲート絶縁膜と前記ゲート電極との間において、両者に接する厚さ0.5nm以下のシリコン酸化膜をさらに備える、請求項1~8のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリやロジックの素子として用いられるMOS型の電界効果トランジスタ(MOSFET: Metal Oxide Semiconductor Field Effect Transistor)に関する。

【0002】

【従来の技術】図5は、n型MOSFETの構成を示す断面図である(例えば、H.S.Momose et al. IEEE Electron Devices, vol.43, p.1233(1996))。図5において、主表面が(100)面であるp型シリコン基板1に素子分離領域2およびp型ウェル3が形成され、それらに囲まれるようにn型MOSFETが形成されている。n型不純物が導入されたソース・ドレイン領域8の内側にチャネル領域を挟むようにn型不純物を含むソース・ドレインのエクステンション6が形成されている。チャネルの上にはゲート絶縁膜11を介してゲート電極5が形成され、その側壁にサイドウォール7が設けられている。上記のn型MOSFETでは、ゲート絶縁膜11を薄膜化すれば、ゲート容量が増加し、このため、ゲート電圧印加によりチャネルに誘起される電子濃度が増加して駆動能力が向上する。さらに、ゲート絶縁膜の薄膜化により、ゲート電極が基板表面のチャネル領域に近づくため、ゲート電極によるチャネル領域の支配を強めることができる。このため、短チャネル効果を抑制することが可能となる。この結果、微細化されたMOSFETにおいて、一層短縮されたゲート長でも正常なトランジスタ動作を得ることができる。なお、ここで、短チャネル効果とは、例えば、しきい値電圧 $V_{th}$ がドレイン・ソース電位の影響を受けて低くなる現象等、ゲート長を短くすることに付随して生じる現象をさす。

【0003】上記のように、ゲート絶縁膜の薄膜化は、高駆動能力化と短チャネル効果の抑制とをもたらす、ゲート長の短縮による高性能化を確保することができる。しかし、従来より用いられてきたシリコン酸化膜は膜厚が3nm以下になると急激にトンネル電流が増加するという問題がある。従来例では、ゲート絶縁膜を1.5nmとしても、ゲート長が短くなるとドレイン電流が増加するため、単体のトランジスタとしては正常な動作を示すとしている。しかし、LSIとして集積化された場合

3

10

20

30

40

50

50 項3)。  
【0012】上記において、しきい値電圧差 $\Delta V_{th}$ は、 $\Delta V_{th} = V_{lin.th} - V_{th}$ である。短チャネル効果が大  
きくなると、 $V_{lin.th}$ の低下よりも $V_{th}$ の低下が大き

(4)

生じるので、しきい値電圧差 $\Delta V_{th}$ は増大する。すなわち、しきい値電圧差 $\Delta V_{th}$ が大きいことは、短チャネル効果が大きいことを意味する。また、上記の限界ゲート長は、その限界ゲート長までゲート長を短くしても、短チャネル効果を正常なトランジスタ動作が可能な所定値以下に抑制できることを意味する。シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜のMOSFETでは、リーク電流は多いものの、ゲート長を非常に短い範囲にしても短チャネル効果を抑制して正常な動作を行なうことができる。上記第2の局面の半導体装置では、限界ゲート長を上記のように非常に短い範囲にしても短チャネル効果を正常な範囲に抑制でき、また、そのような範囲にしてもゲート絶縁膜の厚さは十分厚いので、リーク電流を抑制することができる。さらに、その高い比誘電率のために、膜厚を薄く調整してさらにチャネル支配を強化することができる。

【0013】上記第2の局面の半導体装置では、限界ゲート長は、しきい値電圧差 $\Delta V_{th}$ が50mVとなるゲート長である(請求項4)。

【0014】この構成によれば、短チャネル効果の1つの指標としてしきい値電圧差 $\Delta V_{th}$ =50mVとなるゲート長を採用する。シリコン酸化膜を主材料とする厚さ1.5nm~2.0nmのゲート絶縁膜を有するMOSFETについては、しきい値電圧差 $\Delta V_{th}$ =50mVとなるゲート長をデバイスシミュレーションにより求めることができる。他の誘電体についても比誘電率をパラメータにして、同じくデバイスシミュレーションによりしきい値電圧差 $\Delta V_{th}$ =50mVとなるゲート長を求めることができる。上記の本発明のMOSFETは、この厚さ1.5~2.0nmのシリコン酸化膜の場合に $\Delta V_{th}$ =50mVとなるゲート長である限界ゲート長と同等以下の限界ゲート長を実現するゲート絶縁膜を有することになる。したがって、短チャネル効果を抑制した上で十分な微細化を実現することができる。

【0015】上記の第1および第2の局面の半導体装置では、ゲート絶縁膜を構成する主材料がチタン酸バリウム( $\text{BaSrTiO}_3$ )であり、その膜厚が31nm以下である(請求項5)。

【0016】チタン酸バリウムは比誘電率が200~300と高いので、膜厚を厚くしても十分高い容量を確保することができる。しかし、あまり膜厚を厚くするとゲートのチャネル支配力が低下して短チャネル効果が大きくなってしまふ。上記の膜厚31nmは、1.5nm~2.0nm厚さのシリコン酸化膜を用いたMOSFETにおいて $\Delta V_{th}$ =50mVとなるゲート長である限界ゲート長、と同等以下の限界ゲート長とするために必要な厚さである。チタン酸バリウムの膜厚を31nm以下にすることにより、限界ゲート長を十分短くしても短チャネル効果を正常な範囲に抑制でき、また、低いリーク電流と高い駆動能力を確保することができる。

【0017】上記の第1および第2の局面の半導体装置のゲート絶縁膜では、上記のチタン酸バリウムのほかに、例えば、(a)膜厚が19nm以下の酸化チタン( $\text{TiO}_2$ )、(b)その膜厚が11nm以下の、酸化タンタル( $\text{Ta}_2\text{O}_5$ )、酸化ジルコニウム( $\text{ZrO}_2$ )および酸化ハフニウム( $\text{HfO}_2$ )のうちのいずれか、(c)その膜厚が4nm以下の、窒化シリコン( $\text{Si}_3\text{N}_4$ )およびアルミナ( $\text{Al}_2\text{O}_3$ )のうちのいずれか、を用いることができる(請求項6~8)。ゲート絶縁膜の各材料の膜厚上限は、1.5nm~2.0nm厚さのシリコン酸化膜を用いたMOSFETにおいて $\Delta V_{th}$ =50mVとなるゲート長である限界ゲート長、と同等以下の限界ゲート長とするために必要な厚さである。

【0018】上記の第1および第2の局面の半導体装置では、ゲート絶縁膜とシリコン基板との間において、両者に接する厚さ0.5nm以下のシリコン酸化膜をさらに備える(請求項9)。

【0019】シリコン酸化物以外の高誘電体材料は熱処理時などにシリコン基板と反応して、実際に使用できない場合がある。このような場合、薄いシリコン酸化膜を間に介在させることにより反応を抑制することができる。厚さ0.5nm以下のシリコン酸化膜は高誘電体のゲート絶縁膜と直列の合成容量を構成する。シリコン酸化膜の厚さは、0.5nm以下なのでシリコン酸化膜の容量が大きく低下することはない。このため、直列の合成容量は、高誘電体単体の容量に比較して数分の一程度になるだけであり、本発明の考え方を問題なく適用することができる。したがって、リーク電流および短チャネル効果を抑制し、高い駆動能力を確保することができる。また、シリコン基板との界面における界面順位の低減も実現することができる。すなわち、0.5nm以下のシリコン酸化膜を用いることにより、ゲート絶縁膜の材料変更に伴う不利益を解消して安定化し、その上で、上記の効果を確保することが可能となる。シリコン酸化膜の厚さが0.5nmを超えると容量が小さくなり、高誘電体と直列の合成容量は低下してしまい、ゲートによる駆動能力が低下する。

【0020】上記第1および第2の半導体装置では、ゲート絶縁膜とゲート電極との間において、両者に接する厚さ0.5nm以下のシリコン酸化膜を備えている(請求項10)。

【0021】ゲート電極を構成する材料とゲート絶縁膜との間で熱処理時などに反応が生じる場合、シリコン酸化物以外の高誘電体材料を実際に使用できない。このような場合、上記のように0.5nm以下のシリコン酸化膜を介在させることにより、化学的に安定な状態を保つことができる。容量的にも問題がないことは上記した通りである。上記構造においても、シリコン酸化膜の厚さが0.5nmを超えると、高誘電体との直列の合成容量が低下してしまい、ゲートの駆動能力が低下する。

(5)

7

【0022】

【発明の実施の形態】次に、本発明の実施の形態について図を用いて説明する。

【0023】（実施の形態1）ここでは、n型MOSFETを例に挙げて説明するが、p型MOSFETについてもゲート絶縁膜の薄膜化の効果は同様である。図1は、本実施例のn型MOSFETの構成を示す概略断面図である。図1において、主表面が（100）面であるp型シリコン基板1に素子分離領域2およびp型ウエル3が形成され、それらに囲まれるようにn型MOSFETが20形成されている。n型不純物が導入されたソース・ドレイン領域8の内側にチャンネル領域を挟むようにn型不純物を含むソースドレイン・エクステンション6が形成されている。チャンネルの上にはゲート絶縁膜4を介してゲート電極5が形成され、その側壁にサイドウォール7が設けられている。ゲート絶縁膜4は比誘電率 $\epsilon_r$ の高誘電率材料で形成されている。また、図1のソース・ドレイン領域8の上およびゲート電極5の上の表面にシリサイド9が形成されている。このシリサイド9は、上層配線との導通をはかるブラグ底部と接触していない領域の電気抵抗を下げるために設けられている。図1にはシリサイド9が形成されているが、本発明にとって、このシリサイド9は設けてもよいし、また設けなくてもよい。ゲート電極5の上のシリサイド9も同様である。

【0024】ここで、ゲート絶縁膜4はスパッタ法や化学的気相成長法等により成膜することができる。このゲート絶縁膜の実膜厚 $t$ は、次に述べるように、ゲート絶縁膜を構成する高誘電率材料の比誘電率 $\epsilon_r$ の大きさに応じて設定している。ここで、厚さが $t$ で、比誘電率が $\epsilon_r$ の高誘電率材料から構成されるゲート絶縁膜のシリコン酸化膜等価厚 $t_{eq}$ を、 $t_{eq} = t / (\epsilon_r / 3.9)$ によって定義する。上記の高誘電率材料の比誘電率 $\epsilon_r$ が3.9より大きいとき、シリコン酸化膜 $t$ と同じ膜厚 $t$ のゲート絶縁膜の $t_{eq}$ は $t$ よりより薄くなる。シリコン酸化膜を用いたゲート絶縁膜と同様に、上記のゲート絶縁膜も膜厚を薄くすればゲート容量が増加するので、ゲート電圧印加によりチャンネル領域に誘起される電子濃度が増加して駆動能力は向上する。しかし、 $\epsilon_r$ が3.9より大きいために $t_{eq}$ が薄くなっても、実際の膜厚 $t$ が厚すぎる場合には、ゲート電極とチャンネル領域とが近づかないために、ゲートによるチャンネルの支配を強めることはできない。すなわち、短チャネル効果を抑制することができない。

【0025】次に、実膜厚 $t$ をデバイスシミュレーションを行なって設定した結果について説明する。図2は、ゲート絶縁膜の比誘電率 $\epsilon_r$ を3.9～300の範囲に変え、かつ実膜厚を変えることにより $t_{eq} = 1.5 \text{ nm}$ と一定にしたMOSFETについてのしきい値電圧 $V_{th}$ とゲート長との関係、および $\Delta V_{th}$ とゲート長との関係を示す図である。図2中の比誘電率 $\epsilon_r$ と具体的な材料との対

応を次に示す。まず、 $\epsilon_r = 3.9$ はシリコン酸化膜に対応する。 $\epsilon_r = 25$ は、酸化タンタル( $\text{Ta}_2\text{O}_5$ )、酸化ジルコニウム( $\text{ZrO}_2$ )、酸化ハフニウム( $\text{HfO}_2$ )などに略対応する。また、 $\epsilon_r = 60$ には、酸化チタン( $\text{TiO}_2$ )が対応する。 $\epsilon_r = 200 \sim 300$ には、チタン酸バリウム( $\text{BaSrTiO}_3$ )が対応する。図2において、しきい値電圧 $V_{th}$ は飽和領域（ドレイン電圧 $1.0 \text{ V}$ ）におけるしきい値電圧である。また、しきい値電圧差 $\Delta V_{th}$ は、線形領域（ドレイン電圧 $0.05 \text{ V}$ ）におけるしきい値電圧 $V_{lin.th}$ と上記の飽和領域におけるしきい値電圧 $V_{th}$ との差である。すなわち、しきい値電圧差 $\Delta V_{th} = V_{lin.th} - V_{th}$ である。

【0026】図2より明らかなように、比誘電率 $\epsilon_r$ が大きくなると、しきい値電圧 $V_{th}$ の低下やしきい値電圧差 $\Delta V_{th}$ の上昇が見られ、短チャネル特性が劣化していることが分かる。すなわち、 $t_{eq}$ が同じでも比誘電率 $\epsilon_r$ が大きくなると、正常にトランジスタ動作するゲート長が長くなってしまふ。そこで、正常にトランジスタ動作する下限のゲート長である限界ゲート長 $L_{min}$ を、しきい値電圧差 $\Delta V_{th} = 50 \text{ mV}$ となるゲート長であると定義して、高誘電率ゲート絶縁膜の実膜厚 $t$ と $L_{min}$ との関係を求めた。結果を図3に示す。図3中には、酸化膜の薄膜化の限界と言われているゲート絶縁膜の実膜厚の限界と併せて示す。この図3より、高誘電率ゲート絶縁膜の $\epsilon_r$ が決まった場合に、実膜厚 $t$ をいくら以下にしないと、厚さ $1.5 \text{ nm}$ または $2.0 \text{ nm}$ のシリコン酸化膜の場合よりも $L_{min}$ が改善されないか知ることができる。比誘電率 $\epsilon_r$ ごとに、実膜厚の限界はつぎのとおりとなる。

(a) 厚さ $2.0 \text{ nm}$ のシリコン酸化膜よりも $L_{min}$ を改善する場合： $\epsilon_r = 25$ の場合には約 $11 \text{ nm}$ 以下、 $\epsilon_r = 60$ の場合には約 $19 \text{ nm}$ 以下、 $\epsilon_r = 200$ の場合には約 $28 \text{ nm}$ 以下、また $\epsilon_r = 300$ の場合には約 $31 \text{ nm}$ 以下にすればよい。なお、図3には示していないが、シリコン窒化膜に相当する $\epsilon_r = 7.5$ の場合には約 $4 \text{ nm}$ 以下にすればよい。

(b) 厚さ $1.5 \text{ nm}$ のシリコン酸化膜よりも $L_{min}$ を改善する場合： $\epsilon_r = 25$ の場合には約 $9 \text{ nm}$ 以下、 $\epsilon_r = 60$ の場合には約 $16 \text{ nm}$ 以下、 $\epsilon_r = 200$ の場合には約 $25 \text{ nm}$ 以下、また $\epsilon_r = 300$ の場合には約 $28 \text{ nm}$ 以下にすればよい。また、シリコン窒化膜に相当する $\epsilon_r = 7.5$ の場合には約 $3 \text{ nm}$ 以下にすればよい。

【0027】上記のような実膜厚の高誘電率膜をゲート絶縁膜に用いることにより、短チャネル特性を劣化させることなくチャネル長を短くすることができる。

【0028】（実施の形態2）上記の実施の形態1では、高誘電率ゲート絶縁膜は単層構造であり、したがって1種類の $\epsilon_r$ を有する膜から構成されていた。本実施

の形態の半導体装置では、図4に示すように、シリコン基板側に膜厚0.5nm以下のシリコン酸化膜などの低誘電率のバッファ層を設けた複層構造のゲート絶縁膜を用いる。この膜厚0.5nm以下のシリコン酸化膜を有する複層構造のゲート絶縁膜の採用により、ゲート絶縁膜とシリコン基板との間で形成される界面順位の低減や、熱による反応を抑制することができる。また、シリコン酸化膜の厚さが0.5nm以下と小さいので、この部分の容量が大きく低下することはない。このため、高誘電体とこのシリコン酸化膜との直列の合成容量も、高誘電体単体の容量に比較して桁違いに低下することはない。このため、十分高いゲートの駆動能力を確保することができる。上記の複層構造においても、高誘電率ゲート絶縁膜の実膜厚 $t$ は、実施の形態1に示した値以下にしないと、高誘電率材料をゲート電極側に導入するメリットを得ることができない。また、図示していないが、ゲート電極側に低誘電率のバッファ層を設けた構造についても同様である。

【0029】上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含む。

【0030】

【発明の効果】本発明によれば、MOSFETのゲート絶縁膜として高誘電率材料を用いた場合の膜厚を適切にするこ

とができる。このため、ゲートにおける容量増加に起因する大きな駆動力の確保だけでなく、ゲートによるチャネルの支配を強め、短チャネル効果を抑制することができる。この結果、より微細なゲート長でも正常なトランジスタ動作を得ることができ、微細化したMOSFETの性能を大幅に向上させることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるn型MOSFETの構成断面図である。

【図2】 図1に示すn型MOSFETの特性を示す図であり、しきい値電圧 $V_{th}$ およびしきい値電圧差 $\Delta V_{th}$ に及ぼすゲート長 $L_g$ の影響を示す図である。

【図3】 図1に示すn型MOSFETの高誘電率ゲート絶縁膜の実膜厚の設定範囲を説明するための図であり、シミュレーションによるn型MOSFETの下限界ゲート長 $L_{min}$ と高誘電率ゲート絶縁膜の実膜厚との関係を示す図である。

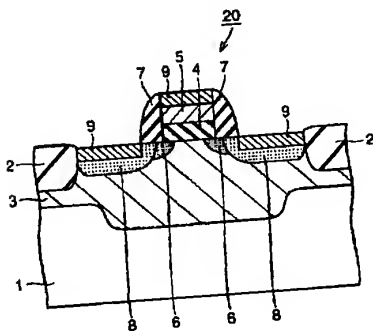
【図4】 本発明の実施の形態2におけるn型MOSFETの構成断面図である。

【図5】 従来のn型MOSFETの構成断面図である。

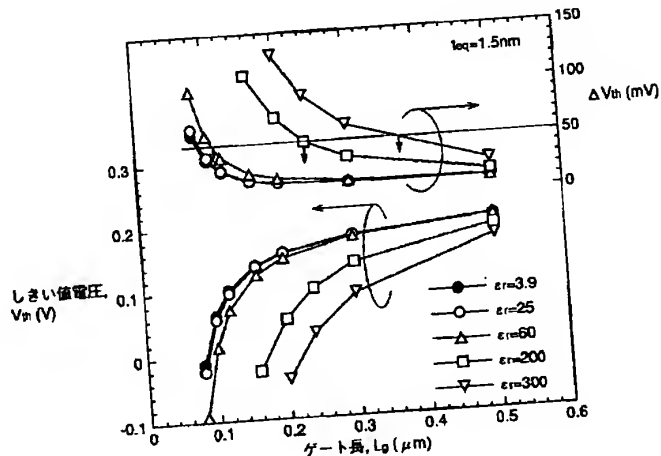
【符号の説明】

1 シリコン基板、2 素子分離領域、3 p型ウェル、4 高誘電率のゲート絶縁膜、5 ゲート電極、6 n型エクステンション、7 サイドウォール、8 n型ソース・ドレイン、9 シリサイド、10 シリコン酸化膜（低誘電率バッファ層）、11 ゲート絶縁膜、20 MOSFET。

【図1】



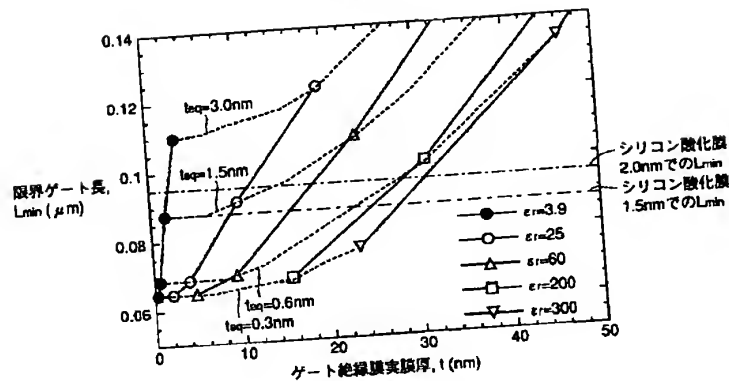
【図2】



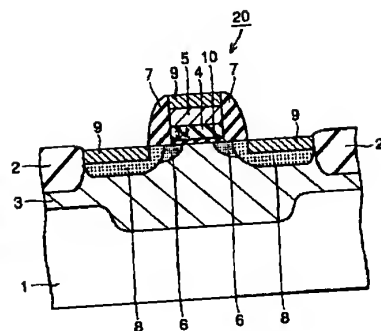


(7)

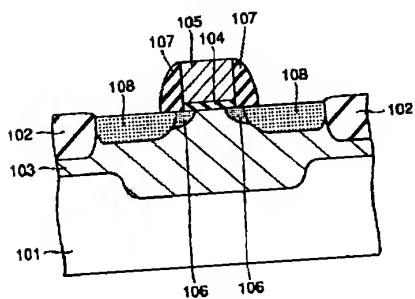
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 大石 敏之  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 塩沢 勝臣  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 杉原 浩平  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
Fターム(参考) 5F040 DA01 DA06 DC01 DC10 EC01  
EC13 ED01 ED03 ED04 ED05  
EF02 EK01 FA03 FB01 FC02  
FC19